



破壊的な FPGA プラットフォーム
イノベーションを加速します！

TITANIUM
TM

Titanium FPGA

メインストリーム市場のための高性能デバイス

できるだけ多くの演算能力を数 mm² の中に詰め込むことが要求されています。エフィニクス (Efinix) の次世代 Titanium FPGA がそれを可能にします。Titanium FPGA は、16 nm プロセスで製造され、消費電力とダイサイズを極限まで小さくし、高性能化を実現しています。演算性能が強化された革新的な Quantum™ コンピューティング・ファブリックによる Titanium FPGA は組み込みハードウェア・アクセラレーション等のアプリケーションに最適です。3.5万 ~ 100万 ロジック・エレメント (LE) をサポートし、エフィニクス RISC-V SoC との互換性により、アクセラレーション機能を用いる組み込み演算システムを非常に小さなチップの中に実装することができます。

Quantum コンピューティング・ファブリックは、コンフィギュラブルなタイル、XLR (eXchangeable Logic and Routing) セルで構成されており、高い使用効率を実現しながら、配線効率と速度を最適化します。また、様々な構

成で使用可能な 10K 内蔵メモリブロックと専用の高速 DSP ブロックも搭載されているので、エッジ・コンピューティングから産業用オートメーション、ビデオ処理まで、幅広いアプリケーションに最適なパフォーマンスを提供します。

16 nm プロセスノードを採用した Titanium FPGA は、低消費電力で小さなフットプリントを実現し、高集積アプリケーションに最適な製品です。



Ti35、Ti60

1.5 Gbps MIPI CSI、DSI をサポートし、低消費電力、小型パッケージ、多数の I/O を必要とする高度なモバイル、エッジデバイスなどのアプリケーション向けデバイス

- モバイル、エッジ
- AI IoT
- センサーフュージョン
- ビジョン、ディスプレイ

Ti90、Ti120、Ti180

2.5 Gbps MIPI インターフェイスを内蔵し、マルチカメラ、高精細ビジョンシステム、エッジ・コンピューティング、ハード・アクセラレーションなどのアプリケーション向けデバイス

- ハイエンド ビジョン システム
- エッジ・コンピューティング
- ハード・アクセラレーション
- 機械学習

Ti240、Ti375、Ti550

高度な演算、ロジック処理と産業用オートメーションなどに要求される演算能力とトランシーバを兼ね備えたデバイス

- 産業用オートメーション
- オートモティブ
- 適応型アクセラレーション
- フォグ・コンピューティング

Ti750、Ti1000

最も要求の厳しいアプリケーションに必要な集積度とインターフェイスを備えた高性能プラットフォーム

- 通信ネットワーク
- SmartNIC、PCI Express アクセラレータ・カード
- FPGA-ベース サーバー
- スマートストレージ

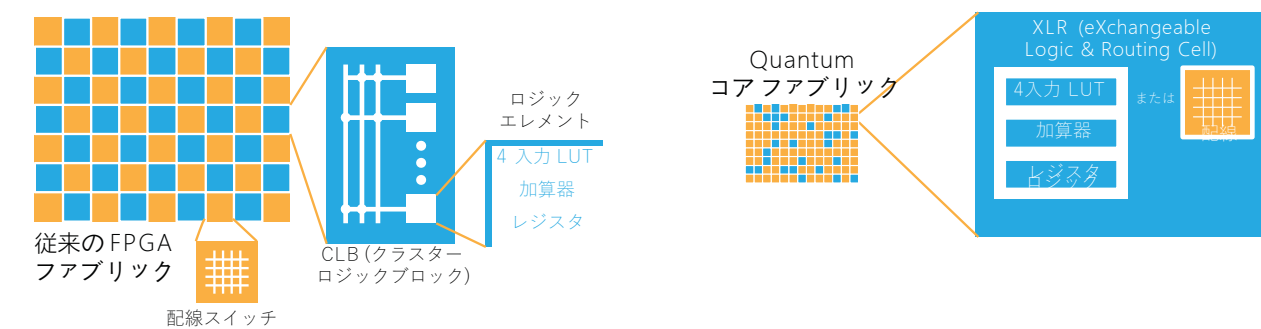
Titanium ラインナップとインターフェイス

| 機能 | Ti35 | Ti60 | Ti90 | Ti120 | Ti180 | Ti240 | Ti375 | Ti550 | Ti750 | Ti1000 |
|----------------------------|--------|--------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|
| ロジック・エレメント (LE) | 36,176 | 62,016 | 89,812 | 119,750 | 176,256 | 236,888 | 370,137 | 533,174 | 727,056 | 969,408 |
| 10K メモリブロック (Mb) | 1.53 | 2.62 | 6.88 | 9.18 | 13.11 | 19.37 | 27.53 | 39.65 | 54.07 | 72.09 |
| DSP ブロック | 93 | 160 | 336 | 448 | 640 | 946 | 1,344 | 1,936 | 2,640 | 3,520 |
| PLLs | 4 | 4 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 |
| GPIO | 34 | 34 | 80 | 80 | 80 | 80 | 80 | 80 | 80 | 80 |
| 高速 I/O | 146 | 146 | 232 | 232 | 232 | 172 | 172 | 268 | 268 | 268 |
| DDR4、LPDDR4 | — | — | x32 | x32 | x32 | x72 | x72 | 2 x72 | 2 x72 | 2 x72 |
| MIPI D-PHY コントローラ 2.5 Gbps | — | — | 4 TX 4 RX | 4 TX 4 RX | 4 TX 4 RX | 3 TX 3 RX | 3 TX 3 RX | 3 TX 3 RX | 3 TX 3 RX | 3 TX 3 RX |
| 16 Gbps Serdes | — | — | x8 | x8 | x8 | x12 | x12 | x16 | x16 | x16 |
| 25.8 Gbps Serdes | — | — | — | — | — | — | — | x8 | x8 | x8 |
| PCI Express Gen4 (16G) | — | — | 1 x4 | 1 x4 | 1 x4 | 2 x4 | 2 x4 | 2 x8 | 2 x8 | 2 x8 |

Titanium パッケージオプション

| 機能 | Pitch (mm) | Size (mm) | Ti35 | Ti60 | Ti90 | Ti120 | Ti180 | Ti240 | Ti375 | Ti550 | Ti750 | Ti1000 |
|----------------|------------|-----------|------|------|------|-------|-------|-------|-------|-------|-------|--------|
| 64 ボール WLCSP | 0.4 | 3.5x3.4 | | ✓ | | | | | | | | |
| 100 ボール FBGA | 0.5 | 5.5x5.5 | ✓ | ✓ | | | | | | | | |
| 225 ボール FBGA | 0.65 | 10x10 | ✓ | ✓ | ✓ | ✓ | ✓ | | | | | |
| 361 ボール FBGA | 0.65 | 13x13 | | | ✓ | ✓ | ✓ | | | | | |
| 484 ボール FBGA | 0.65 | 15x15 | | | ✓ | ✓ | ✓ | ✓ | ✓ | | | |
| 484 ボール FBGA | 0.8 | 18x18 | | | ✓ | ✓ | ✓ | | | | | |
| 529 ボール FBGA | 0.8 | 19x19 | | | ✓ | ✓ | ✓ | | | | | |
| 625 ボール FBGA | 0.65 | 17x17 | | | | | | ✓ | ✓ | ✓ | ✓ | |
| 784 ボール FBGA | 0.8 | 23x23 | | | | | | ✓ | ✓ | ✓ | ✓ | ✓ |
| 1,156 ボール FBGA | 1.0 | 35x35 | | | | | | | | ✓ | ✓ | ✓ |

FPGA アーキテクチャの比較



低電力、小さなサイズの Trion® FPGA

FPGATrion® FPGA は、シンプルで使いやすく、低消費電力、開発を素早くこなすためにデザインされています。必要な機能を備えていますが、フル機能 FPGA のような総合的なアプローチとは異なります。そのため、不必要な機能をどうやっていくか考えるよりも、お客様の開発中の製品をより革新的なものにするために時間を使うことができます。

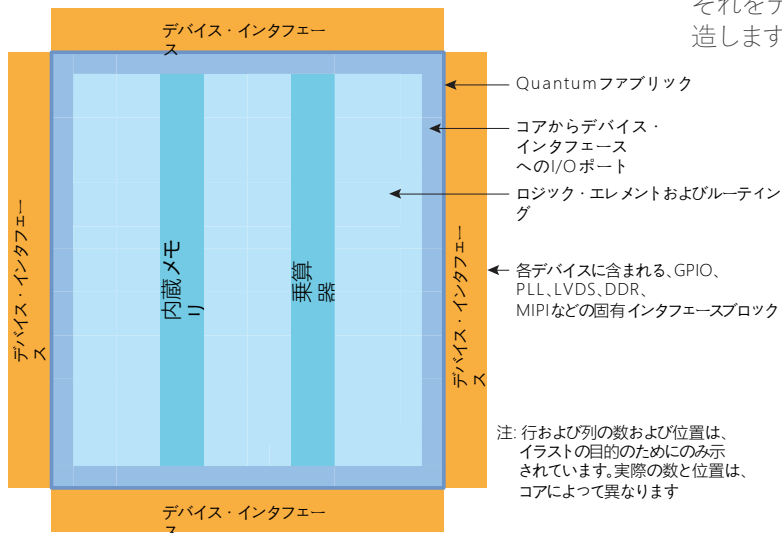
Trion FPGA は、Quantum™ テクノロジーにより構築されたプログラマブル・ロジックと配線ファブリックを備えています。コアファブリックまたは「コア」には、内蔵メモリブロックと乗算器（または DSP）ブロックが含まれており、その周りには、I/O インターフェイスが配置され、モバイルや IoT などの多くの量産アプリケーションで必要とされる小型パッケージで提供されています。

Trion FPGA は、40 nm プロセスで製造され、4 千 ~ 12 万ロジック・エレメント (LE) で用意されています。また、G- PIO、PLL、発振器、MIPI CSI-2、DDR DRAM、LVDS などのインターフェイスを装備しています。

標準 I/O インターフェイス

Trion FPGA は、一般的に使用される様々なインターフェイスをサポートしており、コアファブリック、インターフェイス、パッケージの組み合わせにより幅広い選択肢を提供します。

Trion FPGA ブロック図



- **MIPI** - MIPI D-PHY (4レーン) および CSI-2 コントローラは、ハード IP として実装され、PHY 当たり最大 6 Gbps です。MIPI CSI-2 は、低電力、低コストを実現し、ロイヤルティ無償での容易な実装が可能です。

- **LVDS** - 最大 800 Mbps の LVDS データレートをサポートします。

- **DDR** - DDR3、LPDDR3、および LPDDR2 をサポートし、最大 1066 Mbps の DDR 信号レート、最大 51.2 Gbps の帯域幅で使用可能です。ハード IP として実装された DDR 専用 PHY およびコントローラは、低電力、低コストで、容易にメモリインターフェイスの実装が可能です。

マスク・プログラマブル・メモリ (MPM)

コンフィグレーションのために貴重なボードスペースを無駄にしたくないですか？

この機能では、外部のシリアル・フラッシュ・デバイスの代わりに、オンチップの MPM を使用して FPGA をコンフィギュレーションします。このオプションは、超小型化とより低コストが要求されるシステムに最適です。MPM は、工場出荷時にプログラム可能なワンタイムのオプションで、NRE（開発費）が必要です。MPM を実現するためには、お客様の FPGA コンフィギュレーションデータをお預かりし、それをデータマスクに変換し、専用のデバイスとして製造します。

小～中～大規模なデザインまで

Trion FPGA は、使い勝手の良いコンシューマ製品から、I/O を多用するインターフェイス、完全なシステムソリューションまで、幅広いアプリケーションをサポートします。市場投入までの時間を短縮したい場合（モバイル、IoT、ウェアラブル）、高帯域ブリッジや I/O 拡張をしたい場合（放送、ディスプレイ、オートメーション、ロボティクス）、完全なシステム・ソリューションを実現したい場合（スマートホーム、カメラ、ハイエンドリジエント・システム）など、お客様のニーズに合った Trion FPGA が必ず見つかります。



Trion のリソースとインターフェイス

| 特徴 | T4 | T8 | T13 | T20 | T35 | T55 | T85 | T120 |
|---|-------|-------|--------------|--------------|--------------|--------------|--------------|--------------|
| ロジック・エレメント (LEs) | 3,888 | 7,384 | 12,828 | 19,728 | 31,680 | 54,195 | 84,096 | 112,128 |
| マスク・プログラマブル・メモリ | ✓ | ✓ | ✓ | ✓ | — | — | — | — |
| 内蔵メモリビット (kb) | 77 | 123 | 727 | 1,044 | 1,475 | 2,765 | 4,055 | 5,407 |
| 18×18 乗算器 | 4 | 8 | 24 | 36 | 120 | 150 | 240 | 320 |
| PLL | 1 | 1 | 5 | 5 | 6 | 8 | 8 | 8 |
| 最大GPIO(1) | 59 | 59 | 213 | 213 | 200 | 388 | 388 | 388 |
| LVDS (RX + TX) | — | — | 13 | 13 | 20 | 56 | 56 | 56 |
| DDR3/LPDDR3 (1066 Mbps) | — | — | — | x16 | x16 | x32 | x32 | x32 |
| MIPI DPHY (4レーン) および MIPI CSI-2 コントローラ | — | — | 2 RX 2 TX | 2 RX 2 TX | 2 RX 2 TX | 3 RX 3 TX | 3 RX 3 TX | 3 RX 3 TX |

(1) LVDS と DDR インターフェイスは専用の I/O を持つので、最大 GPIO はそれらのインタフェースの I/O カウントを含みません。さらに、デザインが LVDS を使用しない場合は、その専用 I/O を GPIO として使用できます。

Trion パッケージオプション

| 特徴 | Pitch (mm) | Size (mm) | T4 | T8 | T13 | T20 | T35 | T55 | T85 | T120 |
|------------|------------|-----------|----|----|-----|-----|-----|-----|-----|------|
| 49ボールFBGA | 0.4 | 3x3 | | | | | | | | |
| 80ボールWLCSP | 0.4 | 4.5x3.6 | | | | | | | | |
| 81ボールFBGA | 0.5 | 5x5 | | | | | | | | |
| 144ボールLQFP | 0.5 | 20x20 | | | | | | | | |
| 169ボールFBGA | 0.65 | 9x9 | | | | | | | | |
| 256ボールFBGA | 0.8 | 13x13 | | | | | | | | |
| 324ボールFBGA | 0.65 | 12x12 | | | | | | | | |
| 400ボールFBGA | 0.8 | 16x16 | | | | | | | | |
| 484ボールFBGA | 0.8 | 18x18 | | | | | | | | |
| 576ボールFBGA | 0.65 | 16x16 | | | | | | | | |

| Legend | | | | |
|--------|------|------------|-------------------|----------|
| | | | | |
| GPIO | PLLs | LVDS Pairs | MIPI CSI-2 RX, TX | DDR DRAM |



Efinity® ソフトウェア: デザインを簡単に

簡単な RTL~ビットストリームフロー

Efinity IDE (統合開発環境) は、RTL デザインからビットストリーム生成までの完全なツールフローを提供します。シンプルで使いやすい GUI インターフェイス、高速なコンパイル時間、パワーユーザー向けにコマンドライン・スクリプト もサポートしており、エフィニックス FPGA プラットフォームのデザインに必要なツール全てが含まれています。

GUI インターフェイスでは、プロジェクト管理、フローの実行、フロアプランの表示、必要なインターフェイスの構築などのグラフィカル操作を提供し、コマンドライン インターフェイスでは、シミュレーションの実行やスクリプトによる自動フローなどが使用可能です。

Efinity では、FPGA コアのロジック設計と GPIO や PLL などのインターフェイスを設定するインターフェイス設計が切り離されています。

Efinity は、これらの2つのデザインをシグナル・インターフェイスで接続します。Efinity RTLツールで論理設計を行い、

Efinity インターフェイス・デザイナーでインターフェイスを構築します。ソフトウェアはそれらをツールフローの中で シームレスに結びつけます。

ソフトウェアの特徴・機能

- プロジェクト管理
- Verilog HDL、SystemVerilog、VHDL サポート
- デザイン階層、レポートファイル等のグラフィカル表示
- 各ツールをフロー/マニュアル実行するための使いやすいダッシュボード (論理合成、配置、配線、ビットストリーム生成)
- 各種制約、ピン配置のためのインターフェイス・デザイナー
- デザインのロジック、配置配線を確認するためのフロアプラン・エディタ

Floorplan Editor

The screenshot displays the Efinity IDE environment. The main window is the Floorplan Editor, showing a grid-based layout of components and connections. A tooltip for a block is visible: "Block: (1,87) Offset: 0 Type: gbuf_ctrl_block Name: IRWrite~Q~GBUF Route Thru: 0".

On the right, the Project dashboard shows the project name "pt_demo" and a list of resources:

| Periphery Resource | |
|--------------------|----------|
| GPIO | 15 / 55 |
| JTAG User TAP | 0 / 2 |
| Oscillator | 1 / 1 |
| PLL | 1 / 1 |
| Core Resources | |
| Inputs | 5 / 96 |
| Outputs | 17 / 113 |
| Clocks | 3 / 16 |

Below the dashboard, the Design Explorer shows the design hierarchy:

- Design : T8F81
 - Device Setting
 - I/O Banks (5)
 - GPIO (7)
 - led[0] : GPIO_L_03
 - led[1] : GPIO_L_09
 - led[2] : GPIO_L_16
 - led[3] : GPIO_L_18
 - led[4] : GPIO_L_21
 - reverse : GPIO_L_13
 - rstn : GPIO_L_12
 - PLL (0)
 - Oscillator (1)
 - JTAG User Tap (1)
 - jtag_inst1 :

The Console window on the right shows the following output:

```
design: 0clk - Fclk
Constraint is set to default of 0.01 ns on unexpandable clock pairs found
design: 0clk - Sclk

SDC file 'C:/Efinity/2021.1EA/project/pt_demo1/pt_demo.sdc' parsed successfully.
3 clocks (including virtual clocks), 0 inputs and 8 outputs were constrained.

Maximum possible analyzed clocks frequency
```

The Efinity Interface Designer - helloworld window is also visible, showing a search bar and a list of pins:

| Property | |
|------------------------------------|-------|
| 1 Instance Name | jtag_ |
| 2 JTAG Resource | |
| 3 Input Pin | |
| 4 Test Data Pin Name | jtag_ |
| 5 Test Clock Pin Name | jtag_ |
| 6 Test Mode Select Pin Name | jtag_ |
| 7 User Instruction Active Pin Name | jtag_ |
| 8 Gated Test Clock Pin Name | jtag_ |
| 9 Reset Pin Name | jtag_ |
| 10 Run Test Pin Name | jtag_ |
| 11 Capture Pin Name | jtag_ |

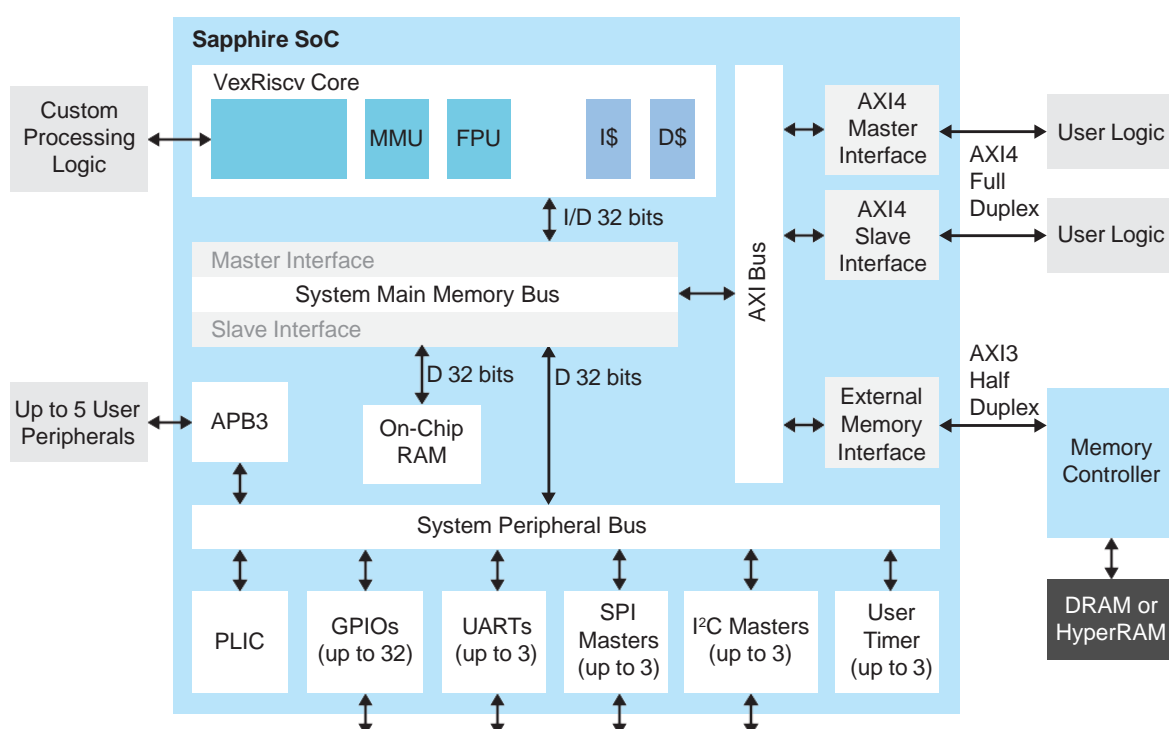


- タイミングを確認するためのタイミング・ブラウザおよびスタティック・タイミング解析
- タイミング解析を実行する Tcl コマンド コンソール
- IP マネージャー - ウィザード形式で IP コアをカスタマイズ、生成
- ハードウェア・デバッガー - JTAG インターフェイス経由でデザインの信号をプローブ
- ModelSim、NCSim、もしくはフリーの iVerilog シミュレータを用いたシミュレーションフロー
- エフィニクス FPGA もしくは Quantum eFPGA コアをコンフィギュレーションするためのプログラマ (GUI/コマンドライン)
- OS サポート - Windows、Linux (Ubuntu、Red Hat、CentOS)

Sapphire RISC-V SoC

Sapphire SoC は、ユーザが自由に設定できる高性能 SoC であり、オプションでメモリコントローラを搭載することも可能です。VexRiscv プロセッサをベースに、6つのパイプラインステージ（フェッチ、インジェクション、デコード、実行、メモリ、ライトバック）、マシンモードによる割り込みと例外処理を備えています。Efinity IP Manager で必要なペリフェラル

を選択し、SoCを構成することができます。この柔軟性により、SapphireSoCは、幅広い組み込みアプリケーションに対応でき、TitaniumFPGAにおいて最大350MHzの速度で動作させることが可能です。



Xyloni (ザイロニ) 開発キット



- T8 FPGA 81 ボール FBGA パッケージ
- 128 M ビット SPI NOR FLASH メモリ
- Type B micro-USB (SPI、JTAG、UART)
- 41 ピン ユーザ I/O 用の高速コネクタ
- 12 ピン PMOD 互換 GPIO コネクタ
- Micro-SD カード スロット
- ユーザ LED (4 個)
- ユーザ プッシュボタン (2 個)
- 33.33 MHz クロック

Trion T8 BGA81 開発キット



- T8 FPGA 81 ボール FBGA パッケージ
- ユーザ LED (5 個)
- ユーザ プッシュボタン (2 個)
- Type B mini-USB ポート
- コンフィギュレーション用 Atmel MCU
- I/O ヘッダー (3 個)
- 33.333 MHz クロック

Trion T20 BGA256 開発キット



- T20 FPGA 256 ボール FBGA パッケージ
- ユーザ LED (8 個)
- ユーザ プッシュボタン (3 個)
- ユーザ ディップスイッチ (3 個)
- Micro-USB ポート
- SPI、JTAG ヘッダー (コンフィギュレーション)
- I/O ヘッダー (3 個)
- 50、74.25 MHz クロック
- LVDS TX、RX、クロックヘッダー
- 256 Mビット SDR SDRAM

Trion T20 MIPI 開発キット



- T20 FPGA 169 ボール FBGA パッケージ
- Micro-USB type B ポート
- MIPI 用高速ヘッダー (4 個)
- LVDS 用高速ヘッダー (2 個)
- 22 ピン GPIO ヘッダー (2 個)
- 各種ドーターボード (3 個)
- ユーザ LED (2 個)
- ユーザ プッシュボタン (2 個)

Trion T120 BGA324 開発キット



- T120 FPGA 324 ボール FBGA パッケージ (MIPI CSI-2 インターフェイス、DDR DRAM コントローラ)
- LPDDR3 256 M ビット x 16 ビットメモリ
- HDMI 1080p ビデオ出力
- RJ-45 イーサネットコネクタ
- ユーザ LED (4 個)、ユーザ プッシュボタン (2 個)、ユーザ ディップスイッチ (2 個)
- 12 ピン PMOD 互換 GPIO ソケット (2 個)
- 40 ピン ヘッダー (Raspberry Pi 接続可)
- 60 ピン GPIO、コンフィギュレーション用ヘッダー
- 10、20、25、30、50、74.25 MHz クロック

Trion T120 BGA576 開発キット



- T120 FPGA 576 ボール FBGA パッケージ (MIPI CSI-2 インターフェイス、DDR DRAM コントローラ)
- LPDDR3 256 M ビット x 32 ビットメモリ
- HDMI 1080p ビデオ出力
- RJ-45 イーサネットコネクタ (2 個)
- ユーザ LED (8 個)、ユーザ プッシュボタン (4 個)、ユーザ ディップスイッチ (4 個)
- 12 ピン PMOD 互換 GPIO ソケット (6 個)
- 40 ピン ヘッダー (Raspberry Pi 接続可)
- 60 ピン GPIO、コンフィギュレーション用ヘッダー
- 10、20、25、30、40、50、74.25 MHz クロック

Ti180 M484 開発キット 販売開始

Titanium Ti60 F225 開発キット



- Ti60 FPGA 225 ボール FBGA パッケージ
- 256 M ビット HyperRAM メモリ (16 ビット幅、最大 200 MHz クロック、400 Mbps)
- SPI NOR FLASH メモリ
- MIPI、LVDS、GPIO 高速コネクタ (3 個)
- 各種ドーターボード (3 個)
- Micro-SD カード スロット
- USB 3.0 インターフェイス (type-C コネクタ)

- USB Type-C コネクタ (コンフィギュレーション用)
- RGB LED (2 個)
- ユーザ プッシュボタン (4 個)
- ユーザ ディップスイッチ (2 個)
- 25 MHz、33.333 MHz、74.25 MHz クロック
- 12.0 V 電源用コネクタ

EFINIX-BROCHURE-JP-3.2



東京都中央区東日本橋2-28-4
日本橋CETビル2階 (〒103-0004)
03-5875-0151
www.efinixinc.com/jp



株式会社レスターエレクトロニクス
東京都港区港南2-10-9 レスタービルディング (〒108-0075)
03-5781-1018
<https://www.restar-ele.com/>